

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-259510

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

G06F 13/00
G06F 13/36

(21)Application number : 11-066547

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 12.03.1999

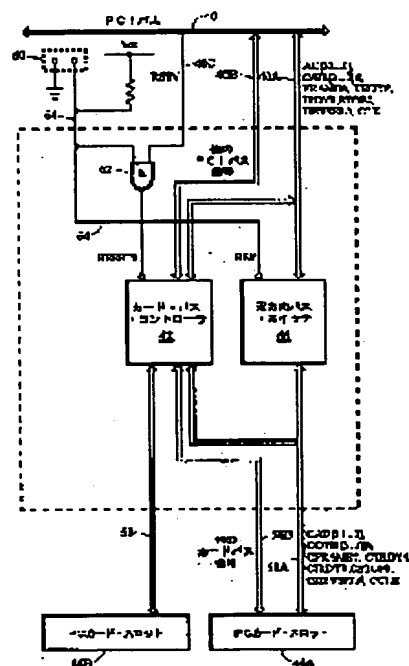
(72)Inventor : SUGAWARA TAKASHI
KOMIYAMA HIROHIDE
HANAMI HIDENOBU

(54) BUS BRIDGE CIRCUIT, INFORMATION PROCESSING SYSTEM AND CARD BUS CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To easily analyze the fault of an information processing system by examining a transaction on a primary side bus from the connector or slot of a bus bridge circuit in the manner of no destruction.

SOLUTION: A jumper 60 is arranged as a control input means for switching the operating mode of a card bus controller 42, bidirectional bypass routes 40A, 66 and 58A are arranged parallel to the controller 42, the operation of the controller 42 is enabled/disabled and the operation of the bypass route is disabled/enabled corresponding to the inactive/active state of a pass through mode signal 64 from the jumper 60. A prescribed signal on a PCI bus signal line 40A or signal on a card bus signal line 58A corresponding to the prescribed signal is outputted through the bypass route onto a card bus or PCI bus as it is. In order to examine the transaction on the PCI bus, a PCI bus analyzer or exerciser is connected to a PC card slot 44A to which the bypass route is connected.



LEGAL STATUS

[Date of request for examination] 27.12.1999

[Date of sending the examiner's decision of rejection] 30.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-13733

[Date of requesting appeal against examiner's decision of rejection] 17.07.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-259510
(P2000-259510A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 6 F 13/00	3 0 1	G 0 6 F 13/00	3 0 1 V 5 B 0 6 1
13/36	3 1 0	13/36	3 1 0 E 5 B 0 8 3

審査請求 有 請求項の数11 OL (全 9 頁)

(21) 出願番号 特願平11-66547

(22) 出願日 平成11年3月12日 (1999.3.12)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 菅原 隆

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

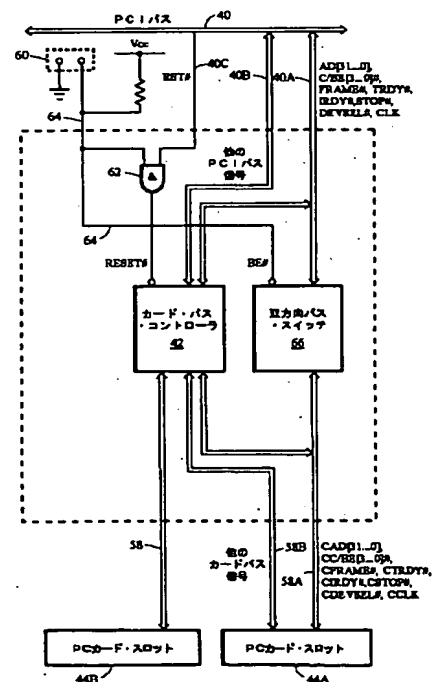
最終頁に続く

(54) 【発明の名称】 バス・ブリッジ回路、情報処理システム、及びカードバス・コントローラ

(57) 【要約】 (修正有)

【課題】 ユーザが直接的にアクセス不能な1次側バスとユーザが直接的にアクセス可能な2次側バスとの間に接続されるバス・ブリッジ回路の改良。

【解決手段】 カードバス・コントローラ42の動作モードを切り替えるための制御入力手段としてジャンパ60を設けるとともに、コントローラに並列に双方向性バイパス経路40A、66、58Aを設け、ジャンパからのバススルー・モード信号64の不活性/活性状態に対応して、コントローラの動作を可能/不能にし且つバイパス経路の動作を不能/可能とし、PCIバス信号線40A上の所定の信号又は当該所定の信号に対応するカードバス信号線58A上の信号を、バイパス経路を介して、そのままカードバス又はPCIバス上に出力する。PCIバス上のトランザクションを検査するため、バイパス経路が接続されたPCカード・スロット44Aに、PCIバス・アナライザ又はエクセサイザを接続する。



1

【特許請求の範囲】

【請求項 1】 ユーザが直接的にアクセス不能な 1 次側バス、当該 1 次側バスに接続される 1 台以上の周辺デバイス、及びユーザが直接的にアクセス可能な 2 次側バスを備える情報処理システム内で使用するためのバス・ブリッジ回路であって、

前記 1 次側バスと前記 2 次側バスの間に接続される前記バス・ブリッジ回路の動作モードを切り替えるための制御入力手段を設けるとともに、前記バス・ブリッジ回路の入力側と出力側の間にバイパス経路を設け、

前記制御入力手段からのパススルー・モード信号が不活性状態を呈するときは、前記バス・ブリッジ回路の動作を可能にし且つ前記バイパス経路の動作を不能にして、前記バス・ブリッジ回路をその通常モードで動作させ、前記制御入力手段からの前記パススルー・モード信号が活性状態を呈するときは、前記バス・ブリッジ回路の動作を不能にし且つ前記バイパス経路の動作を可能にして、前記 1 次側バス上の複数のバス信号のうち所定のバス信号を、前記バイパス経路を介して、そのまま前記 2 次側バス上に出力するようにしたことを特徴とする、バス・ブリッジ回路。

【請求項 2】 前記 1 次側バスが PCI バスであり、前記 2 次側バスがカードバスであり、前記バス・ブリッジ回路がカードバス・コントローラであり、前記所定のバス信号が前記周辺デバイスに共通の PCI バス信号である、請求項 1 に記載のバス・ブリッジ回路。

【請求項 3】 前記カードバスに PCI バス・アナライザが接続される、請求項 2 に記載のバス・ブリッジ回路。

【請求項 4】 前記 1 次側バスが 1 次側 PCI バスであり、前記 2 次側バスが 2 次側 PCI バスであり、前記バス・ブリッジ回路が PCI-PCI ブリッジ回路であり、前記所定のバス信号が前記周辺デバイスに共通の 1 次側 PCI バス信号である、請求項 1 に記載のバス・ブリッジ回路。 30

【請求項 5】 前記 2 次側 PCI バスに PCI バス・アナライザが接続される、請求項 4 に記載のバス・ブリッジ回路。

【請求項 6】 前記パススルー・モード信号の前記活性状態又は前記不活性状態がジャンパ・ピンの設定により決定される、請求項 1 ないし 5 の何れか 1 項に記載のバス・ブリッジ回路。 40

【請求項 7】 請求項 1 ないし 6 の何れか 1 項に記載のバス・ブリッジ回路を備えた、情報処理システム。

【請求項 8】 PCI バス、当該 PCI バスに接続される 1 台以上の PCI デバイス、及びカードバスを備える情報処理システム内で使用するためのカードバス・コントローラであって、

前記 PCI バスと前記カードバスの間に接続される前記カードバス・コントローラの動作モードを切り替えるための制御入力手段を設けるとともに、前記カードバス・ 50

2

コントローラの入力側と出力側の間に双方向性のバイパス経路を設け、

前記制御入力手段からのパススルー・モード信号が不活性状態を呈するときは、前記カードバス・コントローラの動作を可能にし且つ前記バイパス経路の動作を不能にして、前記カードバス・コントローラをその通常モードで動作させ、

前記制御入力手段からの前記パススルー・モード信号が活性状態を呈するときは、前記カードバス・コントローラの動作を不能にし且つ前記バイパス経路の動作を可能にして、前記 PCI バス上の複数のバス信号のうち少なくとも前記 PCI デバイスに共通のバス信号又は当該共通のバス信号に対応する前記カードバス上のバス信号を、前記バイパス経路を介して、そのまま前記カードバス又は前記 PCI バス上に出力するようにしたことを特徴とする、カードバス・コントローラ。

【請求項 9】 前記パススルー・モード信号の前記活性状態又は前記不活性状態がジャンパ・ピンの設定により決定される、請求項 8 に記載のカードバス・コントローラ。

【請求項 10】 前記カードバスに PCI バス・エクセサイザが接続される、請求項 8 又は 9 に記載のカードバス・コントローラ。

【請求項 11】 請求項 8 ないし 10 の何れか 1 項に記載のカードバス・コントローラを備えた、情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、情報処理システム（例えば、パーソナル・コンピュータ）に設けられたバスのうち、ユーザが直接的にアクセス不能な 1 次側バス（例えば、PCI バス）とユーザが直接的にアクセス可能な 2 次側バス（例えば、カードバス）との間に接続されるバス・ブリッジ回路（例えば、カードバス・コントローラ）の改良に係り、更に詳細に説明すれば、バス・ブリッジ回路に対し「パススルー」という特別なモードを実現するための論理回路を追加して、1 次側バス上のトランザクションをバス・ブリッジ回路のコネクタ又はスロットから非破壊的に検査することに係る。

【0002】

【従来の技術】 パーソナル・コンピュータ（以下「PC」と略記）の故障解析を、開発期間中・量産工程中・使用中の任意の時点で実施する場合、PC のシステムバスである（1 次側）PCI バス上のトランザクションを PCI バス・アナライザ又はエクセサイザで検査し、故障モードを探ることが多い。なお、PCI バス・アナライザ又はエクセサイザとしては、ヒューレット・パッカ社から市販されている「HP E2920 コンピュータ・ベリフィケーション・ツール PCI シリーズ」のファミリを構成する、32/64 ビット PCI エクセサイザ

3

&アナライザ・システムを使用することができる。

【0003】PCIバス上のトランザクションを検査することが重要である所以は、PC内の全てのI/O転送又はメモリ転送がホスト-PCIブリッジ経由で行われるため、PCIバスが全てのトランザクションに関与することになるからである。以下、かかるトランザクションの検査に係る背景事項を概説する。

【0004】当該技術分野では周知のように、PCIバス上の基本的なデータ転送を把握するのに必要な信号線は、PCIバスに接続される1台以上のPCIデバイスに共通の信号線のうち、以下の少なくとも42本の信号線を含んでいる。

- ・AD [31:0] (アドレス/データ)
- ・CLK (クロック)
- ・C/BE [3:0] # (バス・コマンド/バイト・インエーブル)
- ・FRAME # (サイクル・フレーム)
- ・IRDY # (イニシエータ・レディ)
- ・TRDY # (ターゲット・レディ)
- ・DEVSEL # (デバイス・セレクト)
- ・STOP # (ストップ)

略号に#が付いている信号線は、負論理でLow = アクティブである。図1には、これらの信号線に現れるバス信号を通して観察可能な、PCIバス上の3つの正常なトランザクションが概略的に示されている。何れかのトランザクションが異常であること、従って該当するPC内に障害が存在することを推定するためには、一般に、PCIバス・アナライザ等を使用して、①IRDY#信号線がアクティブになっているにも拘わらず、これと同期してTRDY#信号線がアクティブになっていない状態を検知すること、②AD[31:0]信号線上のデータと予めプログラムされた予測データとの間の不一致を目視で確認すること等が行われている。

【0005】なお、実際の環境では、PCIバスの負荷(例えば、接続されているPCIデバイスの数)や実効的な線路長等の物理的条件が一定しないという理由で、PCIバス上の信号の波形を正確に測定することは困難である。しかしながら、そうであるとしても、PCIバス上の各トランザクションの全体像はつかめるし、その全体像から各トランザクションの異常も検出できるから、検査の目的は十分に達成することができる。

【0006】図2に概略構成が示されているデスクトップPCでは、PCIバス20にオプション・スロット又はPCIコネクタ22が直結されているのが普通である。従って、何れかのPCIコネクタ22にPCIバス・アナライザ等を接続すると、PCIバス20上のトランザクションを比較的容易に検査することができる。しかしながら、PCIコネクタを全く備えていない特殊なタイプのデスクトップPCや、未使用のPCIコネクタが全く存在しないデスクトップPCについては、このよ

4

うなアプローチをそのまま採用することができない。

【0007】一方、ノートブックPC(以下「ノートPC」と略記)は、物理的な寸法上の制約が存在するため、デスクトップPCのようなPCIコネクタを備えていないのが普通である。すなわち、一般的なノートPCのPCIバスは内部で閉じている。従って、PCIバス上のトランザクションを検査するためには、ノートPCの本体を分解して、PCIバス上のトランザクションを検査するのに必要な信号線をケーブル等で外部に引き出すという煩雑な操作が必要となる。このことは、検査工程の効率を著しく阻害する要因となっている。

【0008】図3に示されている特殊なタイプのノートPCでは、PCIバス30上のトランザクションを検査できるように、メイン基板32上のカード・エッジ34にタブを設けている。カード・エッジ34にPCIバス・アナライザ等を接続すると、メイン基板32単体での検査を容易に行うことができる。しかしながら、カード・エッジ34は、電氣的短絡等の不測の事態が生ずることを回避するべく、ユーザが外部からアクセスできないようになっている。そのため、メイン基板32を組み込んだ製品の状態では、カード・エッジ34に容易にアクセスできないので、ノートPCの本体を分解せずに、PCIバス30上のトランザクションを検査することはできない。

【0009】

【発明が解決しようとする課題】前述の従来技術の問題点に倣して、本発明の目的は、情報処理システム内の複数のバスのうち、ユーザが直接的にアクセス不能な1次側バスとユーザが直接的にアクセス可能な2次側バスとの間に接続されるバス・ブリッジ回路を改良することにある。

【0010】本発明の他の目的は、バス・ブリッジ回路に「バススルー」という特別なモードを実現するための論理回路を追加して、1次側バス上のトランザクションをバス・ブリッジ回路のコネクタ又はスロットから非破壊的に検査できるようにすることにある。

【0011】本発明の他の目的は、前述のような改良されたバス・ブリッジ回路を備えた情報処理システムを提供することにある。

【0012】

【課題を解決するための手段】本発明は、ノートPCには「PCカード・コントローラ」又は「PCI-カードバス・ブリッジ」とも呼ばれるカードバス・コントローラが搭載されていることが多く、これをユーザが自由にアクセスでき、そしてカードバス・コントローラの2次側バスであるカードバス(CardBus)がその1次側バスであるPCIバスの規格に基づいて策定されているため、PCIバス上の信号をそのままカードバスを通して検査しやすい、という知見を基礎としてなされたものである。

5

【0013】この知見に従った本発明の第1の側面は、ユーザが直接的にアクセス不能な1次側バス、当該1次側バスに接続される1台以上の周辺デバイス、及びユーザが直接的にアクセス可能な2次側バスを備える情報処理システム内で使用するためのバス・ブリッジ回路であって、前記1次側バスと前記2次側バスの間に接続される前記バス・ブリッジ回路の動作モードを切り替えるための制御入力手段を設けるとともに、前記バス・ブリッジ回路の入力側と出力側の間にバイパス経路を設け、前記制御入力手段からのバススルー・モード信号が不活性状態を呈するときは、前記バス・ブリッジ回路の動作を可能にし且つ前記バイパス経路の動作を不能にして、前記バス・ブリッジ回路をその通常モードで動作させ、前記制御入力手段からの前記バススルー・モード信号が活性状態を呈するときは、前記バス・ブリッジ回路の動作を不能にし且つ前記バイパス経路の動作を可能にして、前記1次側バス上の複数のバス信号のうち所定のバス信号を、前記バイパス経路を介して、そのまま前記2次側バス上に出力するようにしたことを特徴とする、バス・ブリッジ回路にある。

【0014】ここで、前記1次側バスをPCIバスとし、前記2次側バスをカードバスとし、前記バス・ブリッジ回路をカードバス・コントローラとし、前記所定のバス信号を前記周辺デバイスに共通のPCIバス信号とし、前記カードバスにPCIバス・アナライザ等を接続することにより、前記バススルー・モードの間に、前記PCIバス上のトランザクションを前記カードバスを通して検査することができる。

【0015】代替的に、前記1次側バスを1次側PCIバスとし、前記2次側バスを2次側PCIバスとし、前記バス・ブリッジ回路をPCI-PCIブリッジ回路とし、前記所定のバス信号を前記周辺デバイスに共通の1次側PCIバス信号とし、前記2次側PCIバスにPCIバス・アナライザ等を接続することにより、前記バススルー・モードの間に、前記1次側PCIバス上のトランザクションを前記2次側PCIバスを通して検査することができる。

【0016】本発明の第2の側面は、PCIバス、当該PCIバスに接続される1台以上のPCIデバイス、及びカードバスを備える情報処理システム内で使用するためのカードバス・コントローラであって、前記PCIバスと前記カードバスの間に接続される前記カードバス・コントローラの動作モードを切り替えるための制御入力手段を設けるとともに、前記カードバス・コントローラの入力側と出力側の間に双方向性のバイパス経路を設け、前記制御入力手段からのバススルー・モード信号が不活性状態を呈するときは、前記カードバス・コントローラの動作を可能にし且つ前記バイパス経路の動作を不能にして、前記カードバス・コントローラをその通常モードで動作させ、前記制御入力手段からの前記バススルー

6

ー・モード信号が活性状態を呈するときは、前記カードバス・コントローラの動作を不能にし且つ前記バイパス経路の動作を可能にして、前記PCIバス上の複数のバス信号のうち少なくとも前記PCIデバイスに共通のバス信号又は当該共通のバス信号に対応する前記カードバス上のバス信号を、前記バイパス経路を介して、そのまま前記カードバス又は前記PCIバス上に出力するようにしたことを特徴とする、カードバス・コントローラにある。

【0017】ここで、前記カードバスにPCIバス・エクセサイザを接続することにより、前記バススルー・モードの間に、前記PCIバス上のトランザクションを前記カードバスを通して対話的に検査することができる。

【0018】本発明の第1及び第2の側面において、前記バススルー・モード信号の前記活性状態又は前記不活性状態は、ジャンパ・ピンの設定により決定されることが好ましい。

【0019】本発明の第3の側面は、前述のようなバス・ブリッジ回路又はカードバス・コントローラを備えた、情報処理システムにある。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。

【0021】図4には、本発明に従ったノートPCの概略構成が示されている。このノートPCは、PCIバス40とカードバス（図5を参照）の間に接続されるカードバス・コントローラ42に対し、バススルー論理回路46が並列に追加されていること、そしてPCカード・スロット44にPCIバス・アナライザ又はエクセサイザ（図示せず）が接続されるようになっていることを除けば、通常のノートPCと実質的に同等の構成を有している。従って、本明細書及び図面の記述を簡潔にするため、以下では、カードバス・コントローラ42及びバススルー論理回路46に関連する構成及び動作のみを説明することにする。

【0022】図5には、テキサス・インスツルメンツ社から市販されている「PCI1250A PCCARD CONTROLLER」と同等の機能を有する、カードバス・コントローラ42の概略構成が示されている。カードバス・コントローラ42は、「1995 PC CARD STANDARD」に準拠した2つのPCカード・スロット44（図6を参照）を備え、これらのPCカード・スロット44がカードバス58にそれぞれ接続されているものとする。

【0023】当該技術分野では周知のように、PCIバス40及びカードバス58の間でデータを双方向的に転送できるのは、カードバス・コントローラ42が、PCIバス40及びカードバス58の仕様に従ったトランザクションを通して、データの引き渡し（ブリッジング）を行うためのコンポーネント50～56を備えているからである。但し、PCIバス40及びカードバス58は

7

互いに独立しており、そのため、PCIインタフェース50及び状態機械52の間のバス信号の転送と、状態機械52及びカードバス・インタフェース56の間のバス信号の転送とは、互いに独立に行われるようになっている。従って、PCIバス・アナライザ又はエクセサイザを何れかのPCカード・スロット44に接続しただけでは、PCIバス40上のトランザクションを適正に検査することができないのである。

【0024】本発明者は、通常のカードバス・コントローラ42には、前述の制約が存在するものの、カードバス58がPCIバス40の規格に基づいて策定されているため、PCIバス40上のバス信号をカードバス58を通して殆どそのままの形態で検査できることを認識した上で、本発明を想到したものである。すなわち、本発明の基本概念は、PCIバス40上の複数のバス信号のうち少なくともPCIデバイスに共通のバス信号（又は当該共通のバス信号に対応するカードバス58上のバス信号）を、そのままカードバス58（又はPCIバス40）上に出力して、PCIバス40上のトランザクションを検査することができるように、カードバス・コントローラ42に対し、パススルー論理回路46（図4を参照）を並列に追加することにある。

【0025】図6には、通常のカードバス・コントローラ42及び本発明に従って追加されたパススルー論理回路の組み合わせの概略構成が示されている。パススルー論理回路を構成する主要なコンポーネントは、カードバス・コントローラ42の動作モードを切り替えるための制御入力手段として機能するジャンパ60、パススルー・モード信号の不活性又は活性状態に応じてカードバス・コントローラ42の動作を可能化又は不能化するためのANDゲート62、活性なパススルー・モード信号に応じてBE#（バス・イネーブル）信号を伝達するための線64及び双方向性バス・スイッチ66を含んでいる。

【0026】ANDゲート62は、テキサス・インスツルメンツ社から市販されているANDゲートの「HC08」とし、双方向性バス・スイッチ66は、ペリコム・セミコンダクタ社から市販されているバス・スイッチの「PI5C32X384」とすることができる。なお、実際の構成では、使用されるバス・スイッチのビット幅に応じて複数の双方向性バス・スイッチ66を設けることが必要となるが、図面の錯綜を回避するため、1個の双方向性バス・スイッチ66しか図示されていない点を了承されたい。

【0027】図示のように、PCIバス40上の複数のバス信号は、PCIバス信号線40A～40Cにそれぞれ分岐して現れるようになっている。PCIバス信号線40Aは、PCIデバイスに共通の少なくとも42本の信号線（AD[31:0]、C/BE[3:0]#、FRAME#、TRDY#、IRDY#、STOP#、D

8

EVSEL#、CLK）から成る。PCIバス信号線40Bは、RST#（リセット）信号線を除く他の信号線から成る。なお、RST#信号は、通常の場合は、電源オン時にカードバス・コントローラ42をリセットするために使用されるようになっている。

【0028】同様に、PCIバス・アナライザ又はエクセサイザが接続されるPCカード・スロット44Aの側では、カードバス58上の複数のバス信号が、カードバス信号線58A及び58Bにそれぞれ分岐して現れるようになっている。カードバス信号線58Aは、PCIバス信号線40Aに対応する少なくとも42本の信号線（CAD[31:0]、CC/BE[3:0]#、CFRAME#、CTRDY#、CIRDY#、CSTOP#、CDEVSEL#、CCLK）から成る。カードバス信号線58Bは、他のカードバス信号線から成る。

【0029】次に、図6に示されている本発明に従った回路構成の動作を説明する。

【0030】カードバス・コントローラ42を通常モードで動作させる場合は、ジャンパ60からそのジャンパ・プラグ（図示せず）を取り外して、接地されていない側のジャンパ・ピンを正の電位にプル・アップする。その結果、ANDゲート62及びBE#信号線64は何れも不活性となるから、カードバス・コントローラ42は、PCIバス40とカードバス58との間で、それぞれのバス信号を全体として双方向的にブリッジすることができる。この場合において、PCカード・スロット44A及び44Bの一方及び両方には、カードバス58の仕様に対応した通常のPCカードを接続することができる。

【0031】他方、図6の回路構成をパススルー・モードで動作させる場合には、ジャンパ60にそのジャンパ・プラグを取り付けて、前記ジャンパ・ピンをほぼ接地電位にプル・ダウンする。この接地電位、すなわち活性なパススルー・モード信号に応答して、ANDゲート62は、カードバス・コントローラ42にRESET#（リセット）信号を印加し、これを初期化するとともに、その出力をハイ・インピーダンス（高負荷状態）にする。かくて、この時点で、カードバス・コントローラ42の動作が不能化されることになる。これと同時に、線64上のBE#信号が双方向性バス・スイッチ66に印加され、これをオンに切り替える。従って、この段階においては、PCIバス信号線40A上のバス信号が、これらのバス信号に対応するカードバス信号線58A上のバス信号として、双方向性バス・スイッチ66を通して転送され、またその逆も同様である。つまり、双方向性バス・スイッチ66は、カードバス・コントローラ42に対し並列に追加された双方向性バイパス経路の要部として機能することになる。

【0032】図示のように、双方向性バス・スイッチ66の下側から延びるカードバス信号線58Aは、PCカ

ード・スロット44A及び44Bのうち前者にだけ接続されている。従って、バススルー・モードの間にPCIバス40上のトランザクションを検査するためには、PCIバス・アナライザ又はエクセサイザをPCカード・スロット44Aだけに接続する必要がある。

【0033】当然のことながら、バススルー・モードを終了して、カードバス・コントローラ42を通常モードで再び動作させるためには、ジャンパ60に取り付けられたジャンパ・プラグを単に外すだけでよい。

【0034】以上では、本発明の推奨実施例を説明してきた。しかしながら、本発明の実施の形態はこれに限られないのであり、例えば、図7に概略的に示されている代替実施例では、カードバス・コントローラに代えて、ノートPC本体内の1次側PCIバス40とドッキング・ステーション72内にある2次側PCIバス74とをブリッジするための通常のPCI-PCIブリッジ70に対し、図4のバススルー論理回路46（詳細は図6を参照）と同様の構成を有するバススルー論理回路76を並列に追加することができる。すなわち、このような代替実施例では、PCI-PCIブリッジ70及びバススルー論理回路46の組み合わせが全体としてバススルー・モードに置かれているとき、ドッキング・ステーション72内にある2次側PCIバス74の端部に設けられたPCIコネクタ78にPCIバス・アナライザ又はエクセサイザを接続することにより、1次側PCIバス40上のトランザクションをドッキング・ステーション72内のPCIコネクタ78から非破壊的に検査することができる。

【0035】また、図6の推奨実施例では、カードバス・コントローラ42の動作モードを切り替えるための制御入力手段としてジャンパ60を使用しているが、これに代えて、PCI-ISAブリッジ等に設けられているプログラム可能な汎用I/Oレジスタを使用し、その特定のビット位置からバススルー・モード信号を供給するようにすることも可能である。

【0036】また、図6の推奨実施例又は図7の代替実施例では、双方向性バイパス経路を通して少なくとも42本のPCIバス信号線上の信号が転送されるものと想定しているが、全てのPCIバス信号線上の信号が転送されるようにしてもよい。

【0037】更に、本発明の実施の対象は、PCIバスだけに限られるのではなく、ホスト・バスやISAバス等の他の内部バスにも適用することができる。情報処理システムについて言えば、本発明は、ノートPCにおける実施だけに限定されるのではなく、省スペース型のデスクトップPCや、ノートPCと同様のバス構成を有する他の携帯型電子機器においても実施することができる。

【0038】

【発明の効果】以上詳記したように、本発明によれば、情報処理システム内に設けられたバスのうち、ユーザが直接的にアクセス不能な1次側バスとユーザが直接的にアクセス可能な2次側バスとの間に接続されるバス・ブリッジ回路に対し、「バススルー」という特別なモードを実現するための論理回路を追加することにより、1次側バス上のトランザクションをバス・ブリッジ回路のコネクタ又はスロットから非破壊的に検査して、情報処理システムの故障解析を容易に行うことができる。

【図面の簡単な説明】

20 【図1】PCIバスの所定の信号線に現れるバス信号を通して観察可能な正常なトランザクション（バス・サイクル）を概略的に示すタイミング図である。

【図2】PCIバスにオプション・スロットとしてのPCIコネクタを備えたデスクトップPCの概略構成を示すブロック図である。

【図3】PCIバス上のトランザクションを検査できるように、メイン基板上のカード・エッジにタブを備えた特殊なタイプのノートPCの概略構成を示すブロック図である。

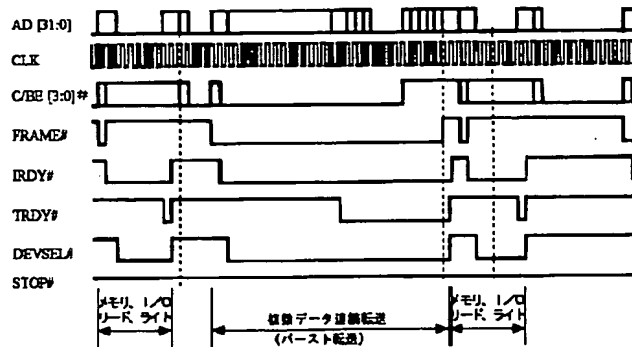
30 【図4】本発明に従ったノートPCの概略構成を示すブロック図である。

【図5】通常のカードバス・コントローラの概略構成を示すブロック図である。

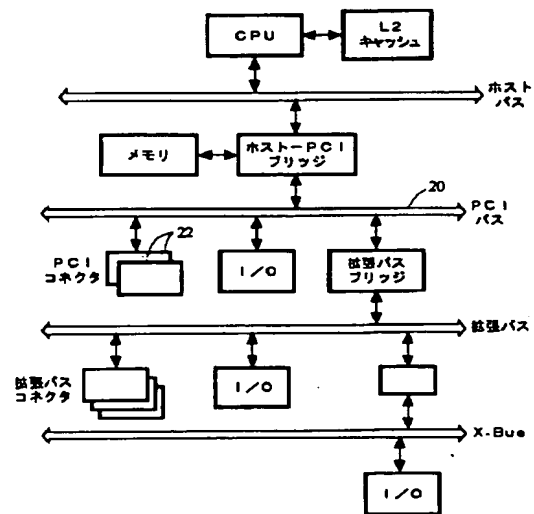
【図6】通常のカードバス・コントローラ及び本発明に従って追加されたバススルー論理回路の組み合わせ（推奨実施例）の概略構成を示すブロック図である。

【図7】通常のPCI-PCIブリッジ及び本発明に従って追加されたバススルー論理回路の組み合わせ（代替実施例）の概略構成を示すブロック図である。

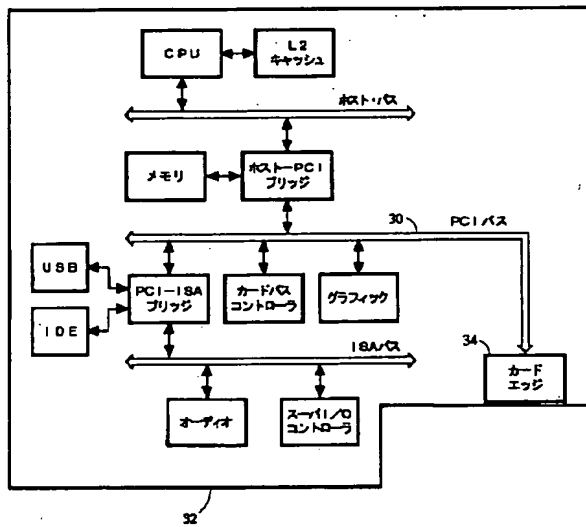
【図 1】



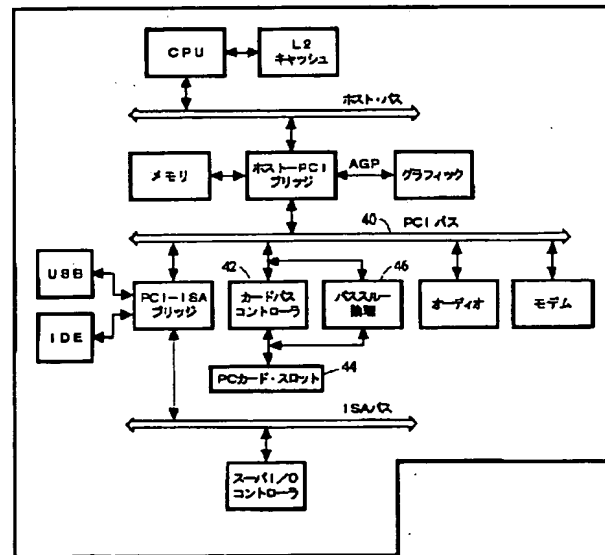
【図 2】



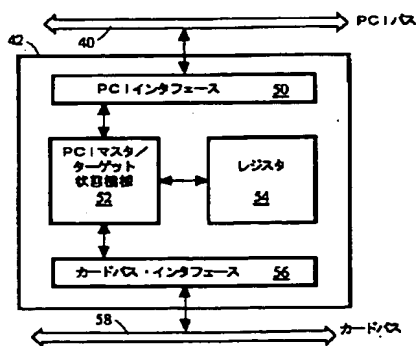
【図 3】



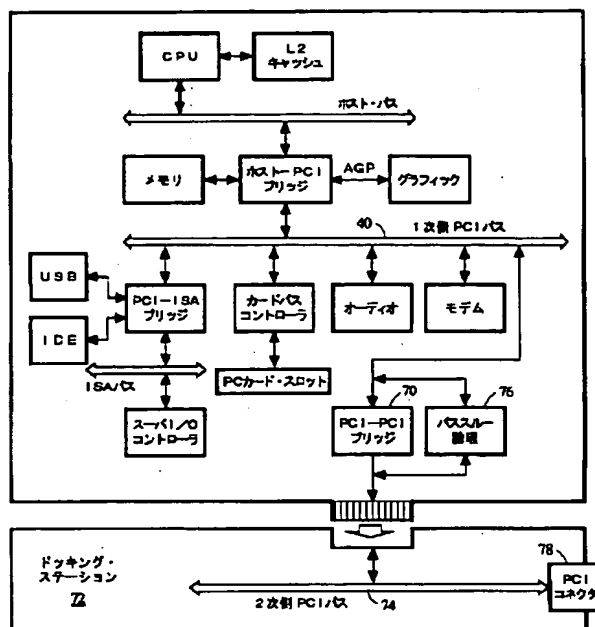
【図 4】



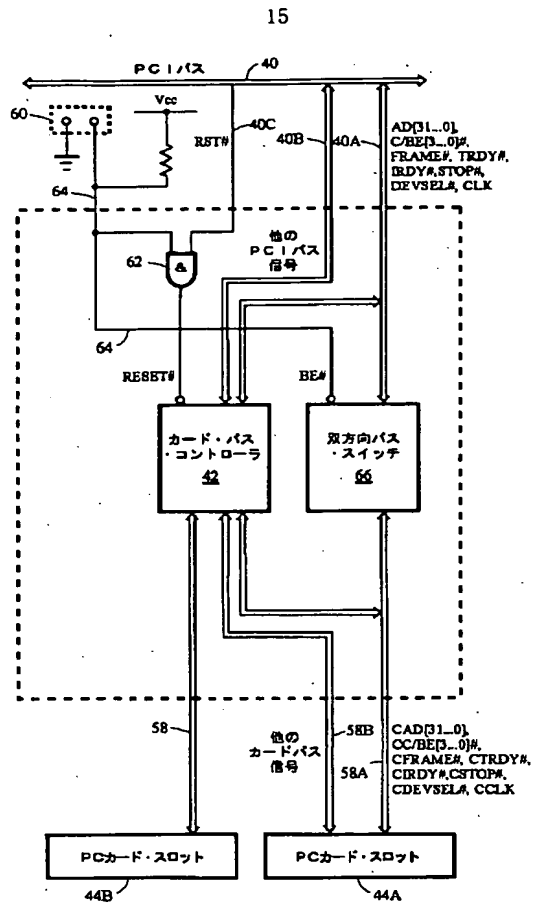
【図 5】



【図 6】



40



フロントページの続き

(72)発明者 小見山 博秀
神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(72)発明者 花見 秀信
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業所内

Fターム(参考) 5B061 AA00 GG01 QQ05 RR02
5B083 AA00 BB06 CC10 CE01 CE06
DD14 EE06 EE07 EE11 GG01
GG08